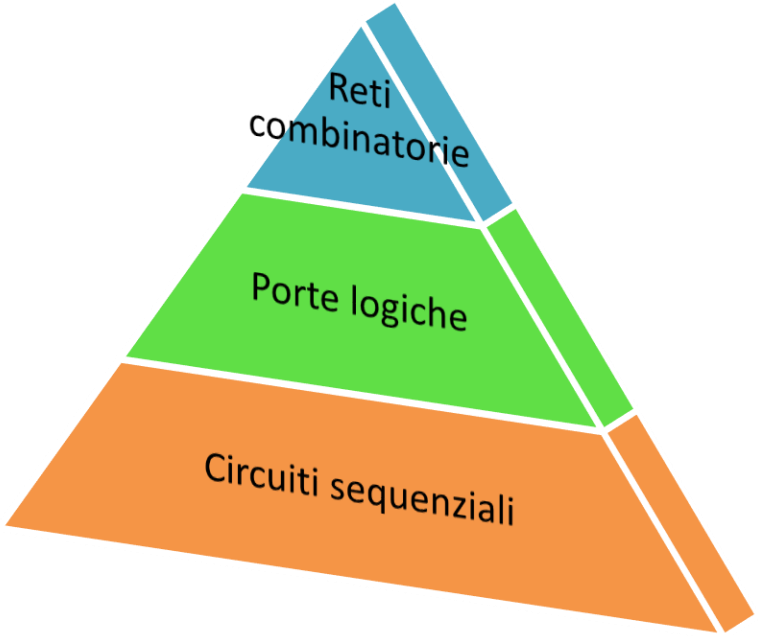
Architettura degli Elaboratori Elettronici

Reti combinatorie

ARGOMENTI DELLA LEZIONE

- Porte logiche
- Reti combinatorie
  - Codificatore e Decodificatore
  - Addizionatore e Sottrattore
  - Comparatore aritmetico e logico
- Fondamenti di circuiti sequenziali



Porte logiche

PORTE LOGICHE

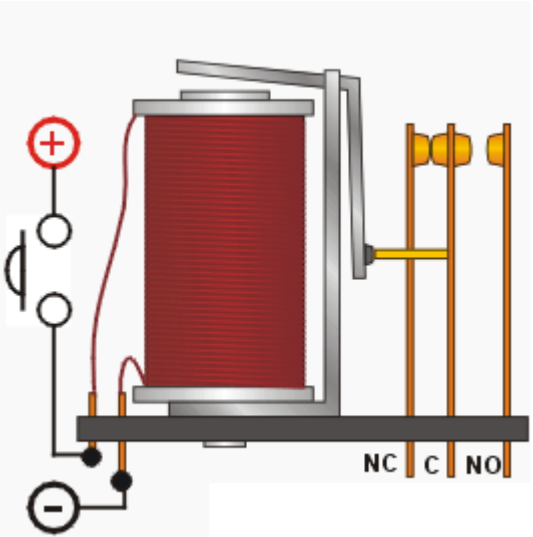
Generalità

- Una **porta logica** (*gate*) è un elemento di calcolo, realizzato mediante un componente elettromeccanico (relé, anni 1920-1940) o elettrico (*transistor,* dal 1950) avente un determinato numero di **linee di ingresso** (*fan-in*) ed una **linea di uscita** (*fan-out*) che, eventualmente, può essere collegata all'entrata di una o più porte (eccetto quella da cui esce)
- I segnali applicati alle linee di ingresso e di uscita sono segnali elettrici e si possono associare a essi due valori convenzionali:
  - **1** (presenza di segnale o segnale alto: [2V;5V])
  - **0** (assenza di segnale o segnale basso: [0V;1V])

PORTE LOGICHE

Tecnologia passata: i relè

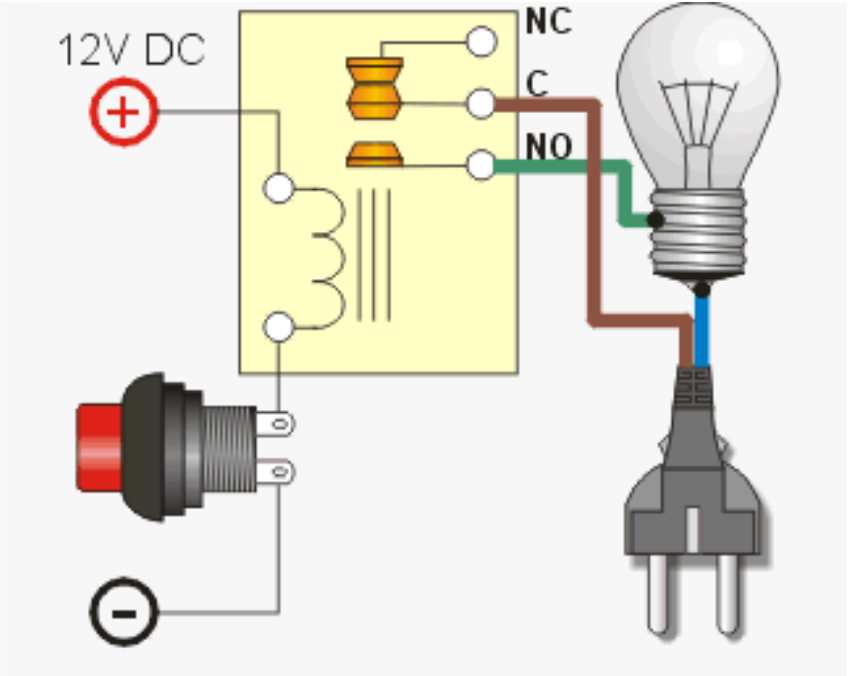
- Il **relè** è un componente elettro-meccanico costituito da una bobina di filo conduttore elettrico, generalmente di rame, avvolto intorno ad un nucleo di materiale ferromagnetico
- Al passaggio di corrente elettrica nella bobina, l'elettromagnete attrae l'ancora alla quale è vincolato il contatto mobile che quindi cambia posizione
- Un relè è utilizzato per controllare un circuito elettrico, interrompendo o stabilendo il flusso di corrente in risposta a un segnale di controllo. In sostanza, funziona come un interruttore che può essere attivato o disattivato da un'altra fonte di energia o segnale elettrico



Luca Fantili, Relè. https://cardanomeccatronica.blogspot.com/p/rele.html

PORTE LOGICHE

Tecnologia passata: i relè



https://www.inventable.eu/media/EduPaginas/Rele/rele-pulsador.gif

PORTE LOGICHE

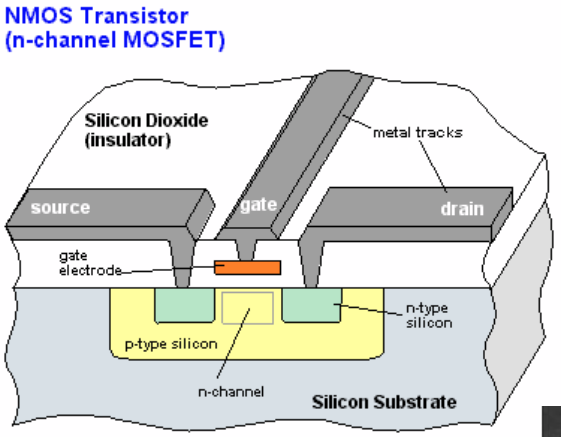
Tecnologie usate

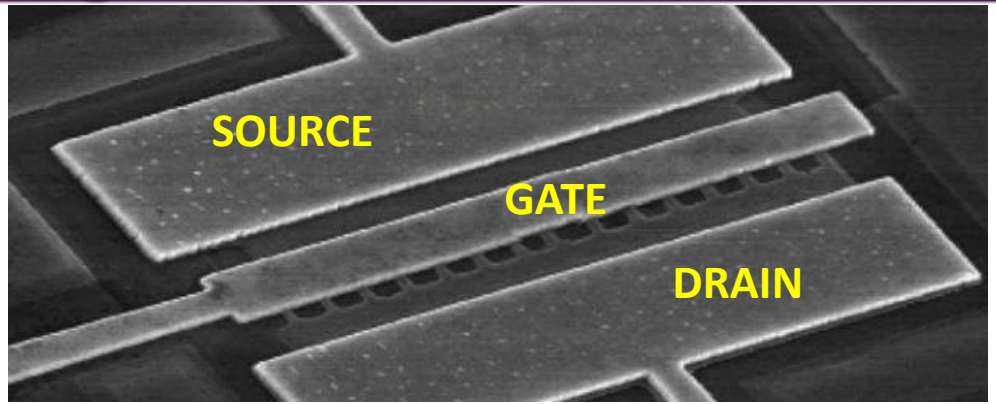
- Le **tecnologie microelettroniche** oggi più usate per la realizzazione di porte logiche sono:
  - BJT (Bipolar Junction Transistor): transistor bipolari
    - TTL (transistor-transistor logic)
    - ECL (emitter coupled logic)
  - MOS (field-effect transistor)
    - pMOS
    - nMOS
    - CMOS

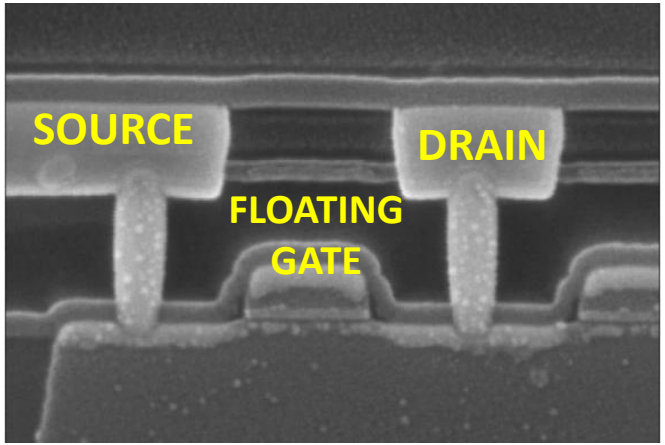
TECNOLOGIA	PRO	CONTRO
BJT	**Veloci**	**Consumano energia Dimensione superiori rispetto alla tecnologia MOS**
MOS	**Richiedono meno energia Più piccole**	**Lente**

PORTE LOGICHE

Tecnologie usate: nMOS



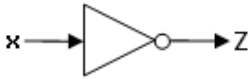




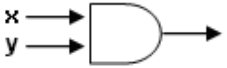
David Abergel *How does a transistor work?*
https://davidabergel.wordpress.com/2017/02/22/transistor/

PORTE LOGICHE

- Ciascuna porta logica risolve una funzione (o **tabella della verità**)
- Le **principali porte logiche** utilizzate sono: NOT, OR, NOR, AND, NAND e XOR



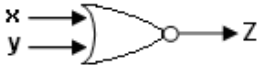
Porta NOT



Porta AND

Porta NAND

Porta OR



Porta NOR

Porta XOR

NOT

x	z
0	**1**
1	**0**

AND

x	y	z
0	0	**0**
0	1	**0**
1	0	**0**
1	1	**1**

NAND

x	y	z
0	0	**1**
0	1	**1**
1	0	**1**
1	1	**0**

OR

x	y	z
0	0	**0**
0	1	**1**
1	0	**1**
1	1	**1**

NOR

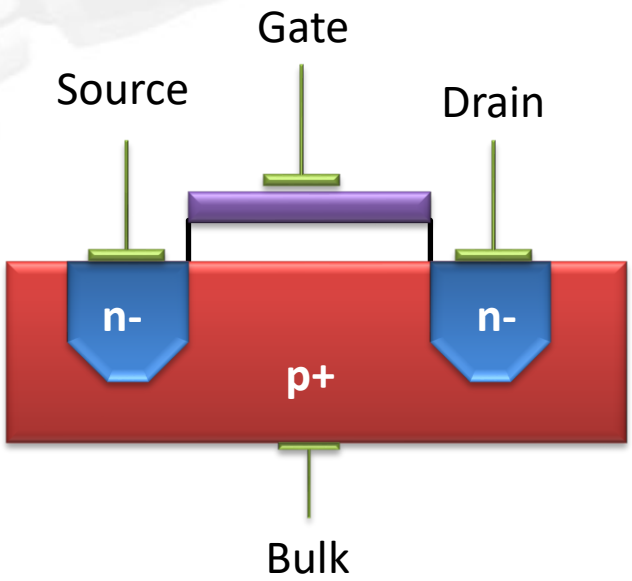
x	y	z
0	0	**1**
0	1	**0**
1	0	**0**
1	1	**0**

XOR

x	y	z
0	0	**0**
0	1	**1**
1	0	**1**
1	1	**0**

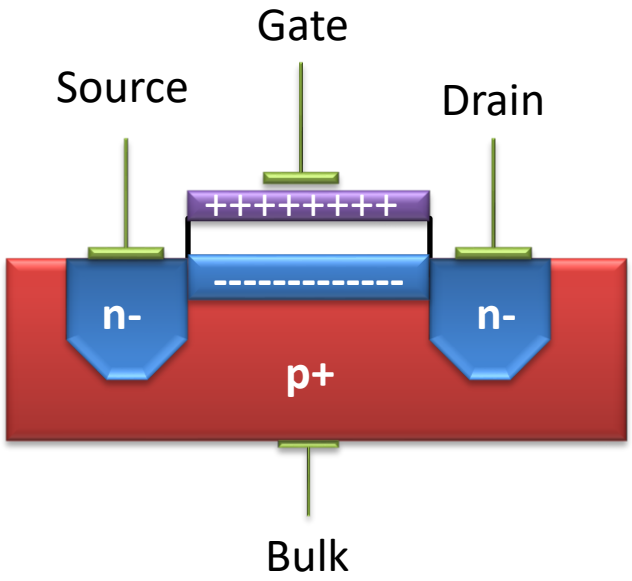
PORTE LOGICHE

nMOS



Nessun traffico di corrente

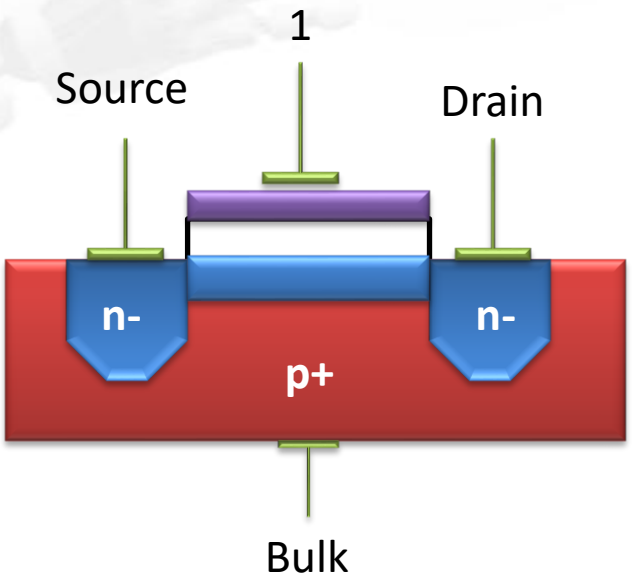
Applicazione di alta tensione al gate

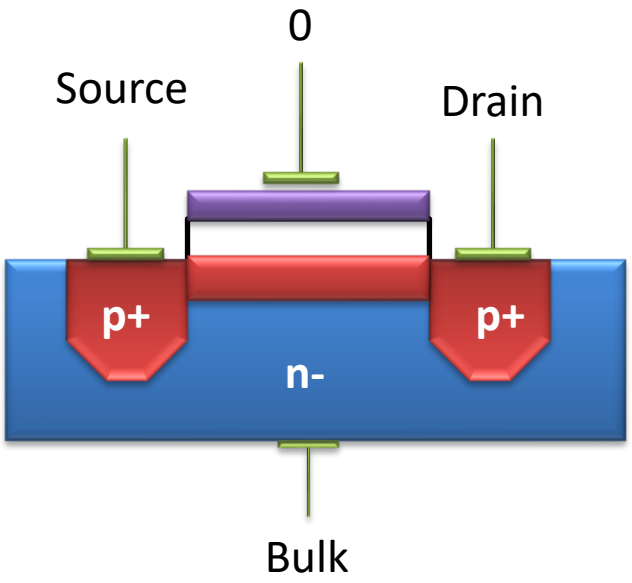


Traffico di corrente da source a drain

PORTE LOGICHE

CMOS: nMOS - pMOS



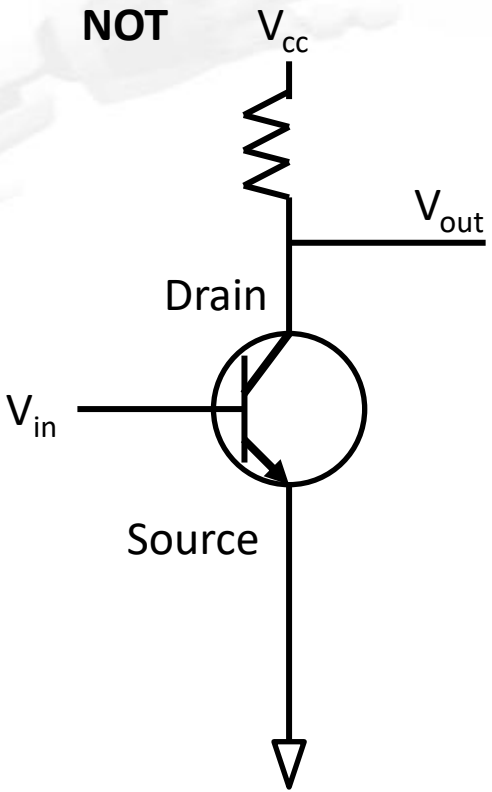


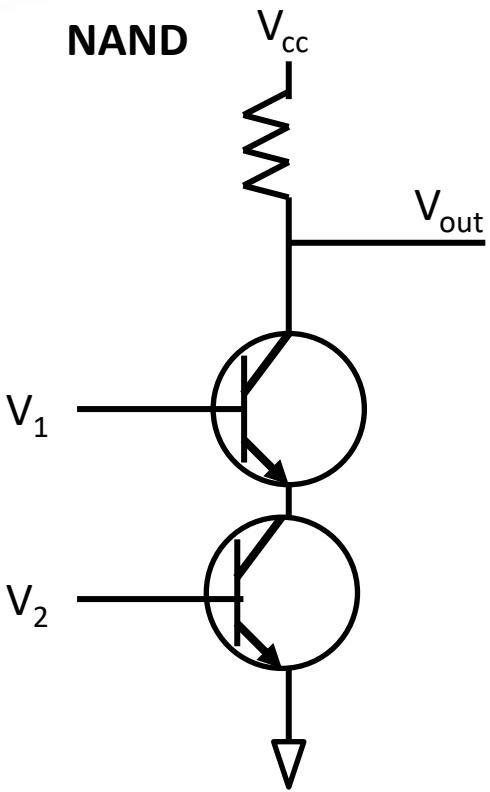
Con un segnale alto nel gate: traffico di corrente da source a drain (segnale basso: interdizione flusso di corrente)

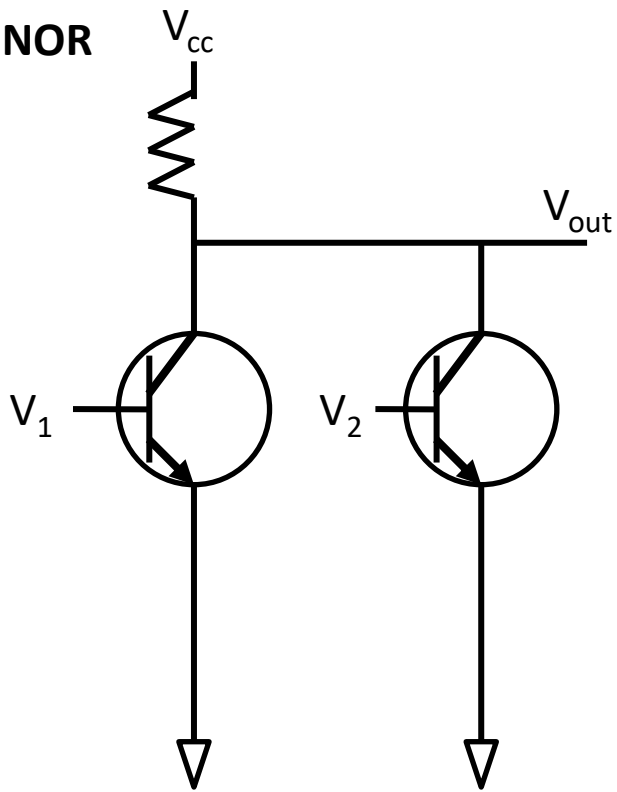
Con un segnale basso nel gate: traffico di corrente da source a drain (segnale alto: interdizione flusso di corrente)

PORTE LOGICHE

Porte logiche: rappresentazione canonica

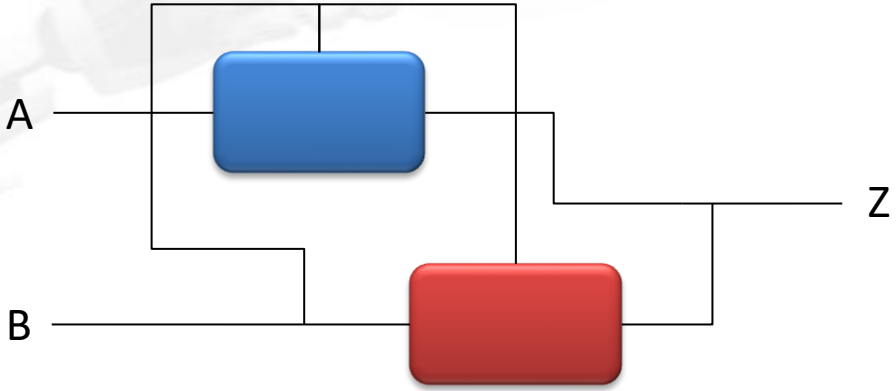


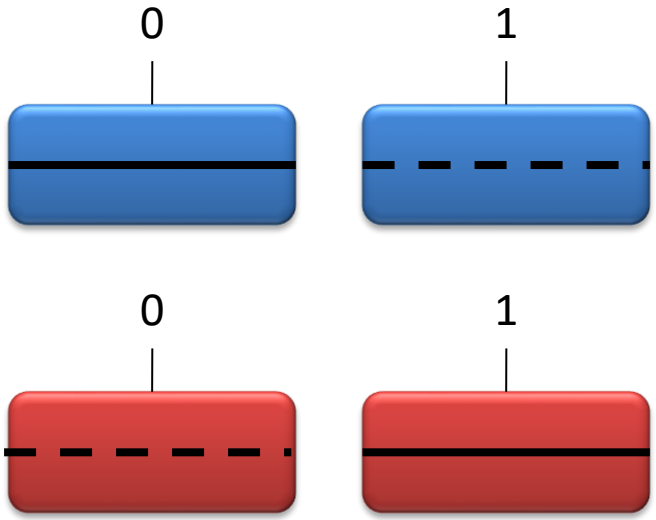




PORTE LOGICHE

Porte logiche: funzionamento CMOS





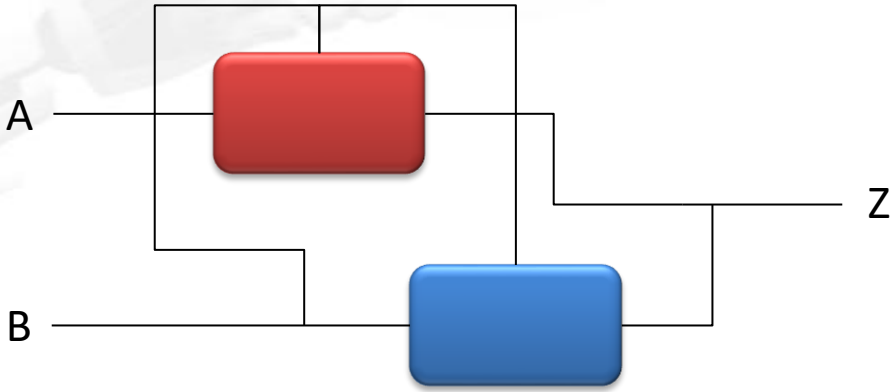
OR

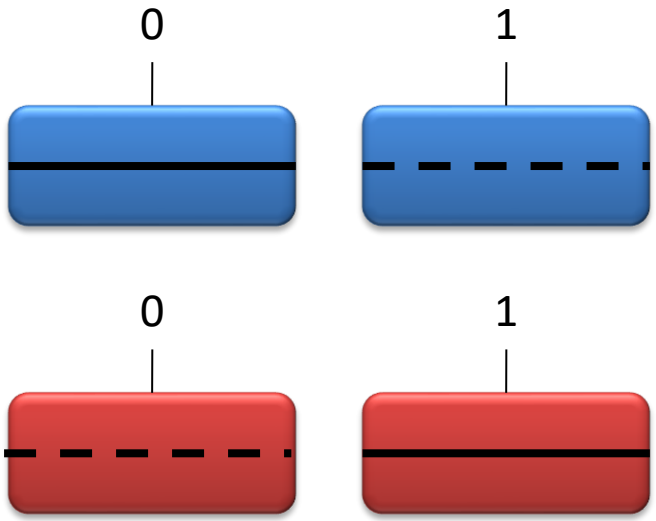
Z	0	1	1	1
A	0	0	1	1
B	0	1	0	1

Ding,Zhang, Liang, Pei,Wang, Li, Zhou,Liu & Peng (2012). Cmos-based carbon nanotube pass-transistor logic integrated circuits. Nature Communications. Doi: 10.1038/ncomms1682

PORTE LOGICHE

Porte logiche: funzionamento CMOS





AND

Z	0	0	0	1
A	0	0	1	1
B	0	1	0	1

Ding,Zhang, Liang, Pei,Wang, Li, Zhou,Liu & Peng (2012). Cmos-based carbon nanotube pass-transistor logic integrated circuits. Nature Communications. Doi: 10.1038/ncomms1682

PORTE LOGICHE

Considerazioni

"L'ENIAC è dotato di 18000 valvole e pesa 30 tonnellate, i calcolatori del futuro potranno avere 1000 valvole e forse peseranno solo una tonnellata e mezza"

Popular Mechanics, Marzo, 1949

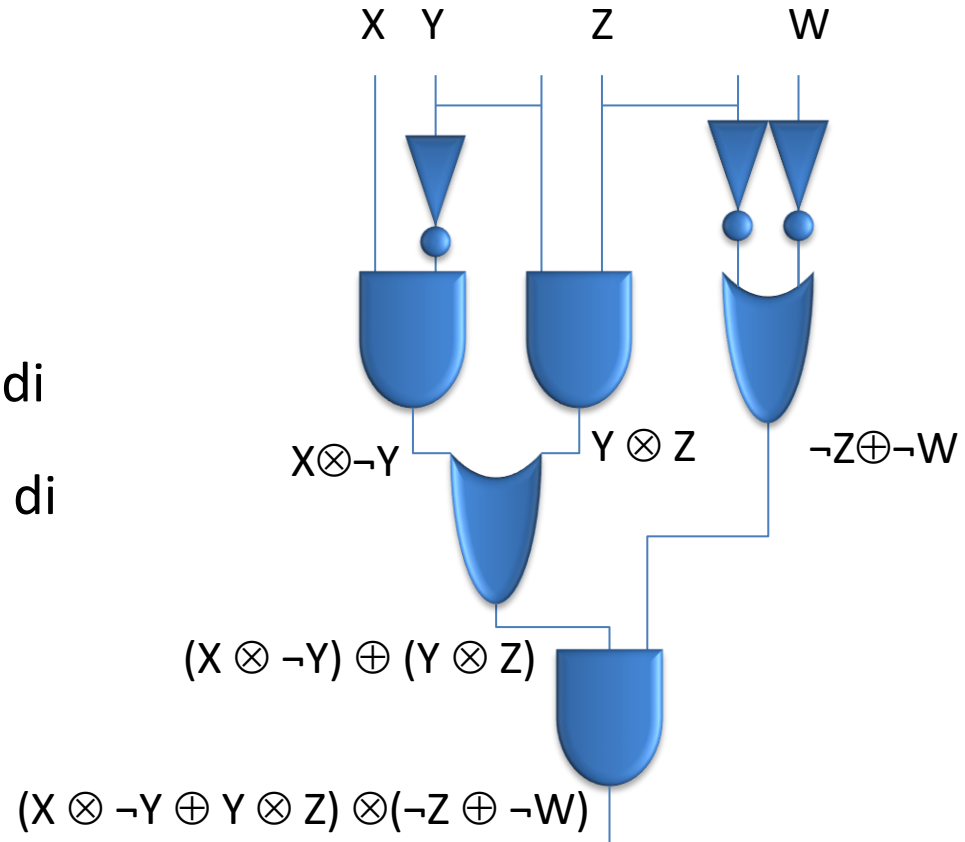
	Nomenclatura	Num. Transitori
SSI	*Small Scale Integration*	meno di 10transistor
MSI	*Medium Scale Integration*	da 10 a 100transistor
LSI	*Large Scale Integration*	da 100 a 10000transistor
VLSI	*Very Large Scale Integration*	da 10000 a 100.000transistor
ULSI	*Ultra Large Scale Integration*	fino a 10.000.000 di transistor

Rete combinatoria

RETE COMBINATORIA

Generalità

- Una **rete** è una interconnessione di componenti attivi,le ***porte***, collegati tra loro mediante componenti passivi, ***le linee***
- Una **rete combinatoria** è un circuito elettronico in grado di elaborare, in modo automatico, funzioni binarie di una o più variabili binarie



RETE COMBINATORIA

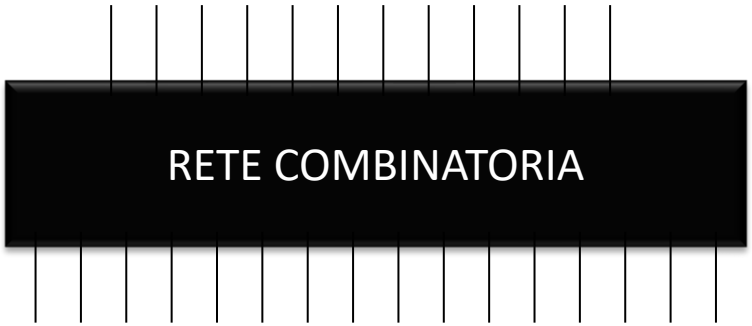
Definizione

- Formalmente una **rete combinatoria** è definita come un dispositivo con *n* linee di ingresso ed *m* linee di uscite per cui i segnali di uscita dipendono unicamente dai segnali di ingresso

$$Z = F(x) \qquad con \qquad F : \{0,1\}^n \rightarrow \{0,1\}^m$$

Osservazione. In una rete combinatoria non sono presenti cicli né cappi

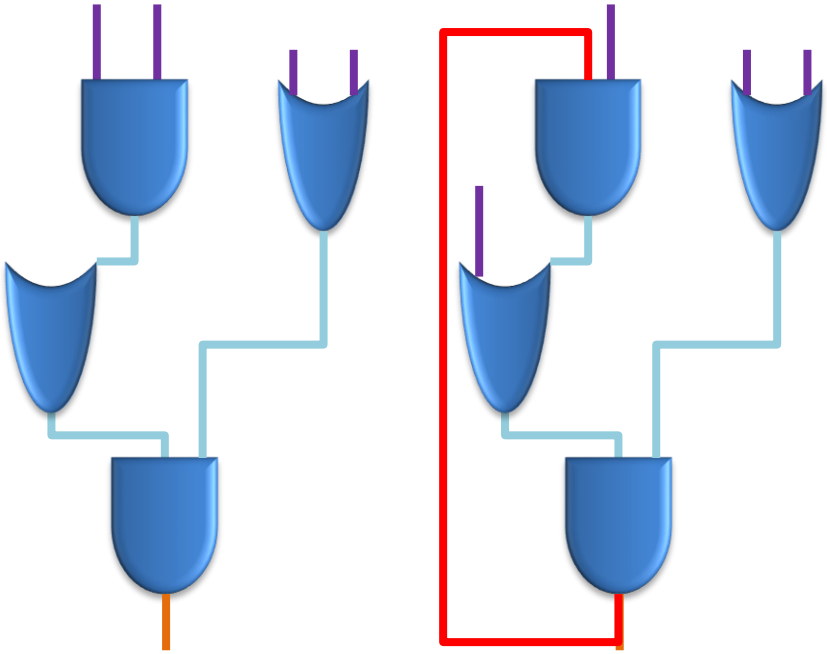
Nelle reti combinatorie non può avvenire che gli stessi ingressi forniti in istanti diversi diano luogo ad uscite diverse



RETE COMBINATORIA

Schema circuitale

- Uno **schema circuitale** è un collegamento di porte (rappresentate in maniera grafica) tramite linee.
- Ci sono tre tipi di linee:
  1. **linee di ingresso**, ognuna etichettata con una delle n variabili booleane
  2. **linee di uscita**, ognuna etichettata con una delle m variabili di uscita
  3. **linee interne**, ciascuna delle quali collega l'uscita di una porta con l'ingresso di un'altra porta.
- Vincoli:
  - Ogni ingresso di ogni porta deve essere collegato ad una linea di ingresso oppure ad una linea interna.
  - L'uscita di ogni porta deve essere collegata ad una linea di uscita oppure ad una linea interna
  - Il collegamento di porte tramite linee non deve dare luogo a cicli.



RETE COMBINATORIA

Relazione

- Una rete combinatoria può essere vista come un dispositivo in grado di soddisfare una tabella, la **tabella della verità**, che per ognuna delle 2^n combinazioni possibili relative agli *n* valori di ingresso $(x_1,x_2,..,x_n)$ indica gli *m* valori di uscita $(z_1,z_2,..,z_m)$

Osservazione. Ad ogni rete caratterizzata da una tabella con *n* ingressi ed *m* uscite corrisponde un gruppo di *m* espressioni booleane (e viceversa)

RETE COMBINATORIA

Esempio

Realizzare un circuito capace di confrontare 2 numeri interi N1 e N2 senza segno a 2 bit, tale circuito fornisce in uscita il valore 1 se tale circuito fornisce in uscita il valore 1 se N1N2, e 0 altrimenti

Z = 1 se N1>=N2

Z = 0 se N1<N2

RETE COMBINATORIA

Esempio

N1 (MSB)	N1 (LSB)	N2 (MSB)	N2 (LSB)	Z
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Derivazione dei maxtermini:

$$N1M \oplus N1L \oplus N2M \oplus \neg N2L \otimes$$
$$N1M \oplus N1L \oplus \neg N2M \oplus N2L \otimes$$
$$N1M \oplus N1L \oplus \neg N2M \oplus \neg N2L \otimes$$
$$N1M \oplus \neg N1L \oplus \neg N2M \oplus N2L \otimes$$
$$N1M \oplus \neg N1L \oplus \neg N2M \oplus \neg N2L \otimes$$
$$\neg N1M \oplus N1L \oplus \neg N2M \oplus \neg N2L$$

RETE COMBINATORIA

Esempio

$\neg N1M \oplus \neg N1L \oplus \neg N2M \oplus N2L \otimes \neg N1M \oplus \neg N1L \oplus N2M \oplus \neg N2L \otimes \neg N1M \oplus \neg N1L \oplus N2M \oplus N2L \otimes \neg N1M \oplus N1L \oplus N2M \oplus \neg N2L \otimes \neg N1M \oplus N1L \oplus N2M \oplus N2L \otimes N1M \oplus \neg N1L \oplus N2M \oplus N2L$

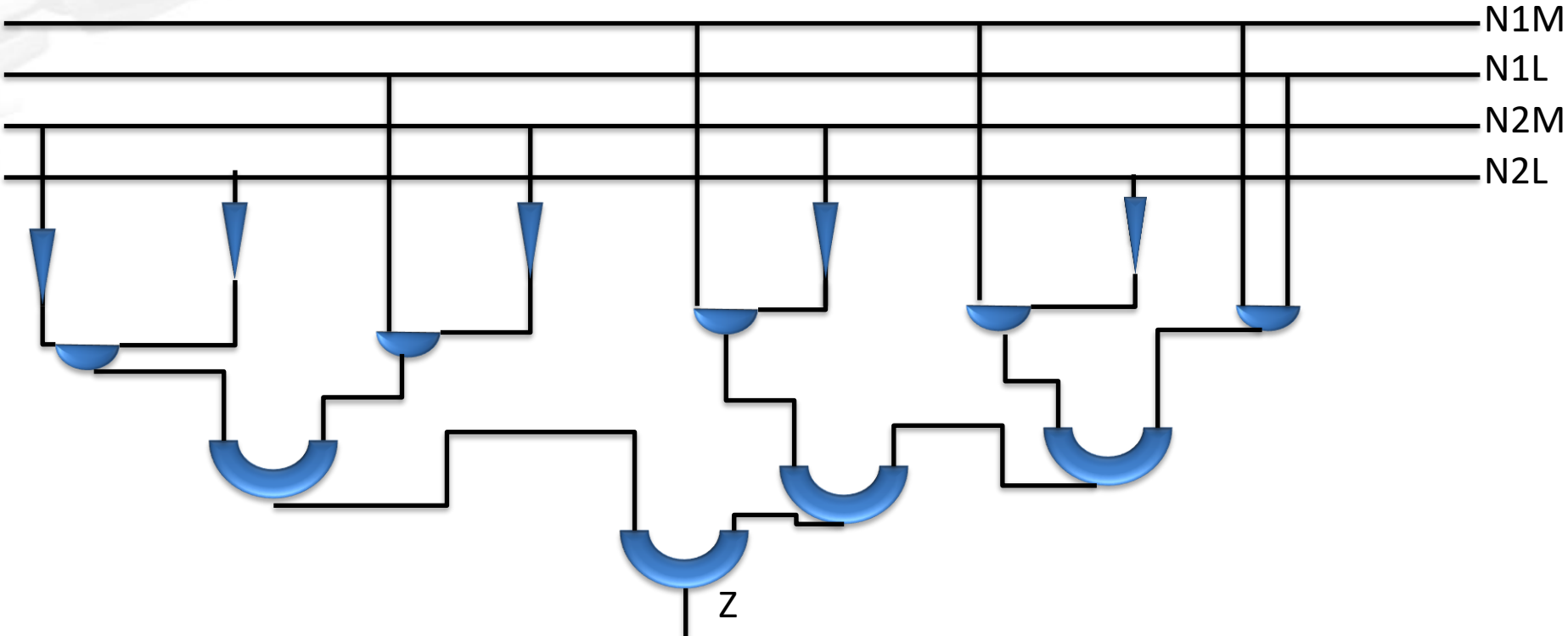
Mediante del tecniche di ottimizzazione si ottiene:

$(\neg N2M \otimes \neg N2L) \oplus (N1L \otimes \neg N2M) \oplus (N1M \otimes \neg N2M) \oplus (N1M \otimes \neg N2L) \oplus (N1M \otimes N1L)$

RETE COMBINATORIA

Esempio

$(\neg N2M \otimes \neg N2L) \oplus (N1L \otimes \neg N2M) \oplus (N1M \otimes \neg N2M) \oplus (N1M \otimes \neg N2L) \oplus (N1M \otimes N1L)$



RETE COMBINATORIA

Caratteristiche progettuali

- Tra i parametri principali nel progetto di una rete combinatoria, è opportuno considerare:
  - *l'**assorbimento di energia*** (che stabilisce un limite complessivo al numero di porte utilizzabili)
  - il ***ritardo*** (che determina la velocità di calcolo)
    - La velocità di calcolo della rete combinatoria varia in base alla profondità della rete (di solito si considera un tempo costante perché la rete combinatoria ha una profondità finita)
  - il ***costo*** di realizzazione
    - Dipende dal numero di transistor impiegati che cambia a seconda della tecnologia usata, della funzione da soddisfare e il numero di ingressi

      es.: la porta NOT è costituita da 1 transistor, NAND o NOR 2 transistor; AND e OR 3 o 4 transistor; altre porte: > 4 transistor

PORTA	TEMPO DI COMMUTAZIONE DEL SEGNALE
NAND, NOR	ΔT
AND, OR	$2\Delta T$
XOR	$4\Delta T$

RETE COMBINATORIA

Decodificatore

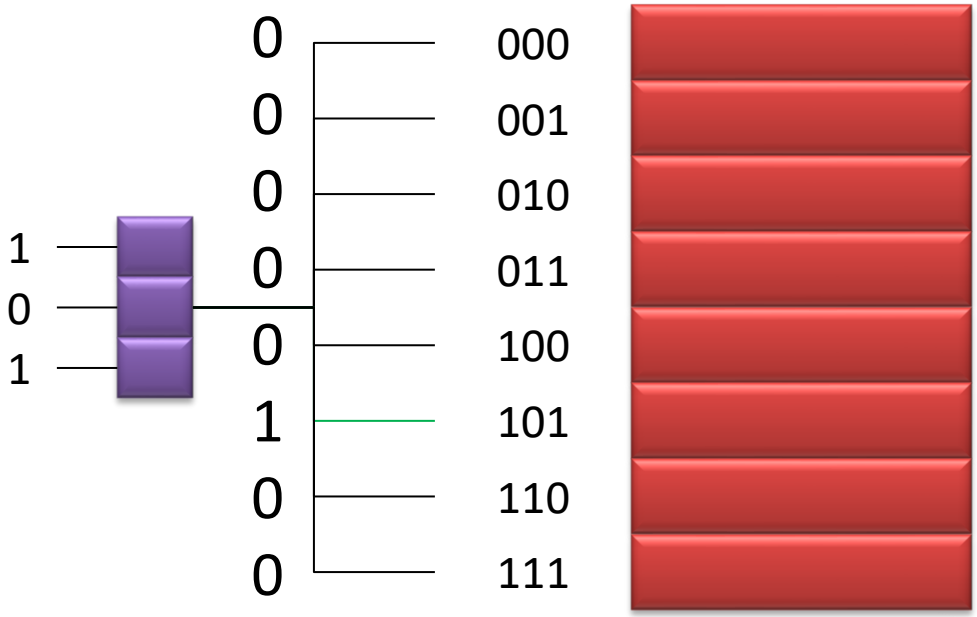
- Il **decodificatore** è una rete combinatoria che trasforma parole associate a **codifiche strette** in parole associate a **codifiche lasche** (le linee di uscita sono in numero maggiore rispetto le linee di ingresso)
- Un decodificatore è una rete combinatoria con *m* linee di ingresso e $n=2^m$ linee di uscita
- Logicamente il decodificatore **riconosce una stringa** (es.: una locazione di memoria o una istruzione)

DECODIFICATORE										
Linee ingresso			Linee uscita							
x_2	x_1	x_0	z_7	z_6	z_5	z_4	z_3	z_2	z_1	z_0
0	0	0	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**1**
0	0	1	**0**	**0**	**0**	**0**	**0**	**0**	**1**	**0**
0	1	0	**0**	**0**	**0**	**0**	**0**	**1**	**0**	**0**
0	1	1	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**0**
1	0	0	**0**	**0**	**0**	**1**	**0**	**0**	**0**	**0**
1	0	1	**0**	**0**	**1**	**0**	**0**	**0**	**0**	**0**
1	1	0	**0**	**1**	**0**	**0**	**0**	**0**	**0**	**0**
1	1	1	**1**	**0**	**0**	**0**	**0**	**0**	**0**	**0**

RETE COMBINATORIA

Decodificatore: esempio di impiego

- Il **decodificatore** è usato, ad esempio, per identificare una cella di memoria

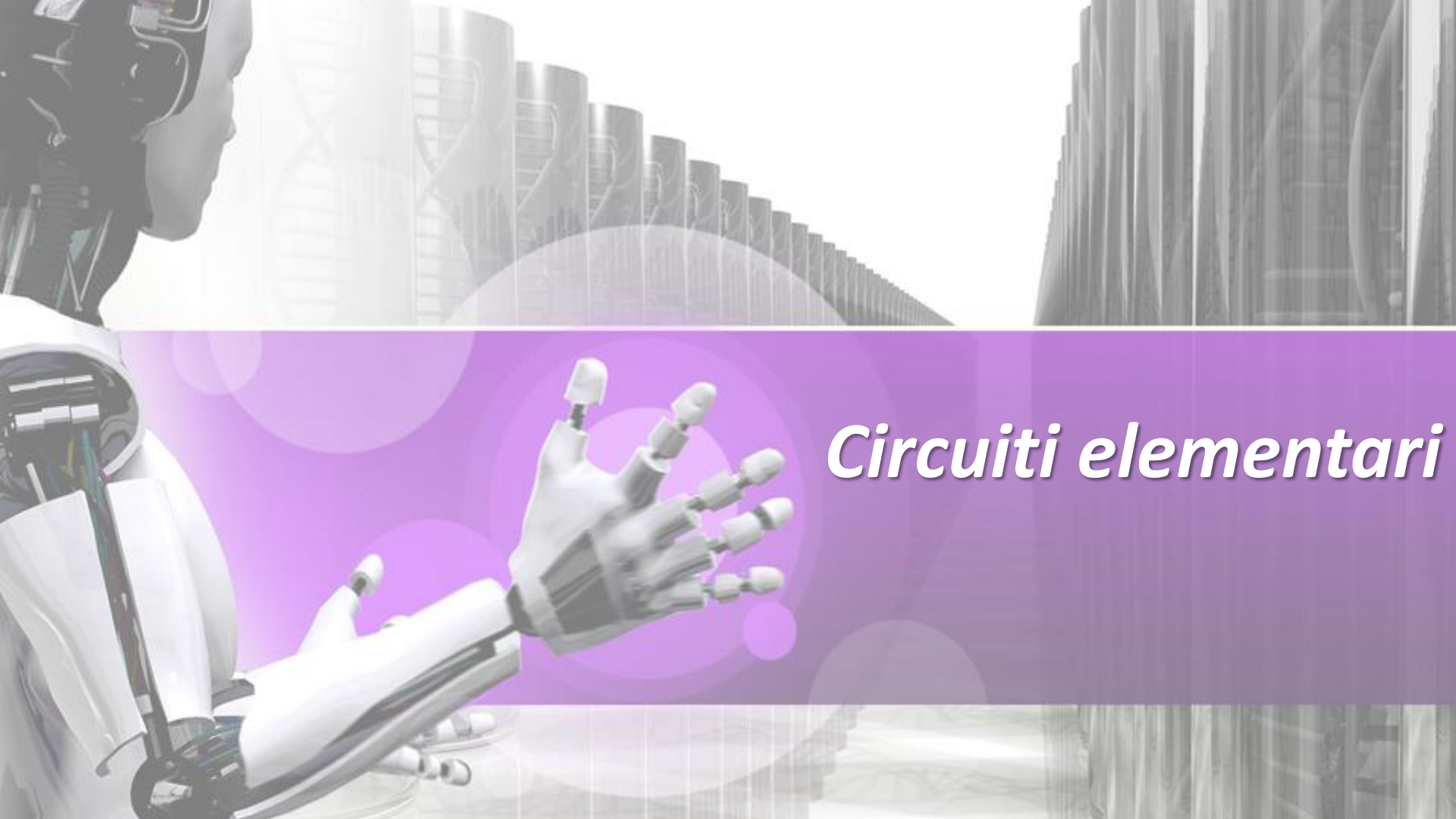


RETE COMBINATORIA

Codificatore

- I **codificatori** sono una famiglia di reti combinatorie che trasformano parole codificate in una codifica lasca in parole d'uscita rappresentate in codifica stretta
- In generale un codificatore è una rete combinatoria che ha *n* linee di ingresso e $m=\lceil \log_2(n) \rceil$ linee di uscita; cioè vi è la produzione della codifica binaria dell'indice dell'unica linea di ingresso attiva
- Logicamente il codificatore è un **generatore di codici** (es.: dei comandi)

CODIFICATORE										
Linee ingresso								Linee uscita		
x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0	z_2	z_1	z_0
0	0	0	0	0	0	0	1	**0**	**0**	**0**
0	0	0	0	0	0	1	0	**0**	**0**	**1**
0	0	0	0	0	1	0	0	**0**	**1**	**0**
0	0	0	0	1	0	0	0	**0**	**1**	**1**
0	0	0	1	0	0	0	0	**1**	**0**	**0**
0	0	1	0	0	0	0	0	**1**	**0**	**1**
0	1	0	0	0	0	0	0	**1**	**1**	**0**
1	0	0	0	0	0	0	0	**1**	**1**	**1**



Circuiti elementari

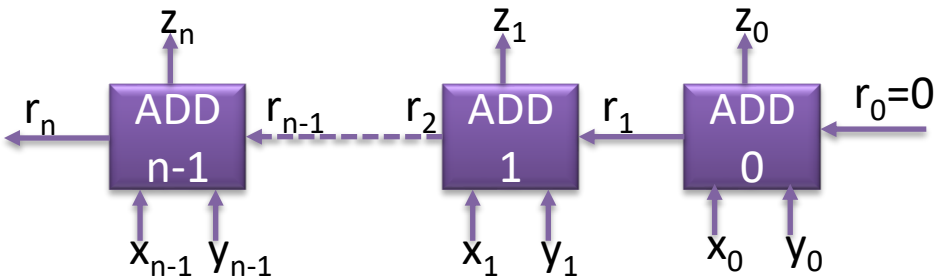
RETE COMBINATORIA

Addizionatore

- L'**addizionatore** è una rete combinatoria che consente l'operazione di somma tra due operandi (addendi)
- La rete combinatoria associata ad un addizionatore può essere realizzata mediante una tecnica di decomposizione. Questo perché l'addizione di due numeri binari può essere vista come la somma di due bit alla *i*-esima posizione (x_i e y_i) ai quali va aggiunto il **riporto** (r_i) per ottenere un **risultato** (z_i) ed un eventuale **riporto** (r_{i+1}) per le **cifre successive**

ADDIZIONATORE

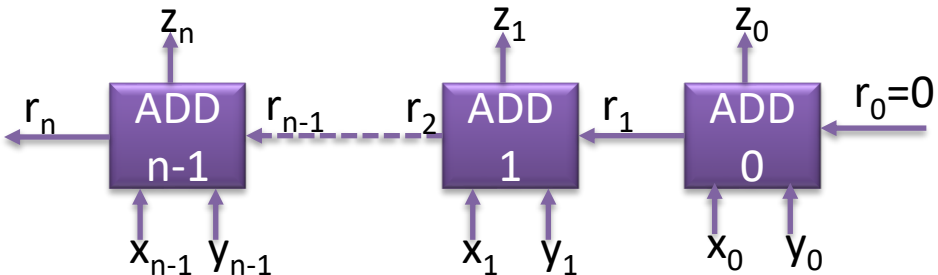
x_i	y_i	r_i	z_i	r_{i+1}
0	0	0	**0**	**0**
0	0	1	**1**	**0**
0	1	0	**1**	**0**
0	1	1	**0**	**1**
1	0	0	**1**	**0**
1	0	1	**0**	**1**
1	1	0	**0**	**1**
1	1	1	**1**	**1**

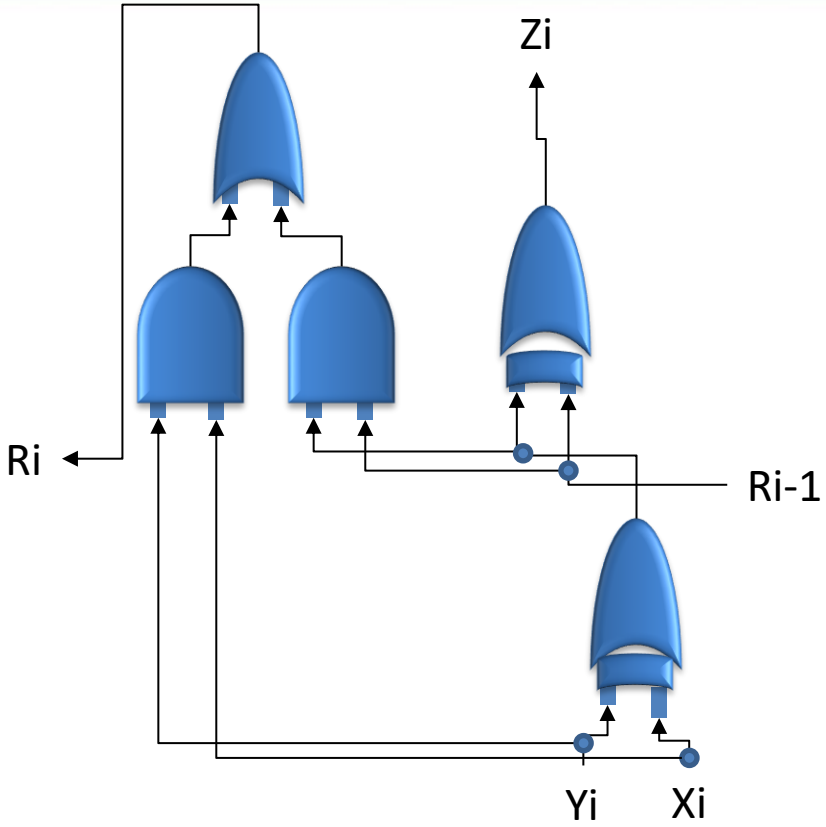


RETE COMBINATORIA

Addizionatore

ADDIZIONATORE				
x_i	y_i	r_i	z_i	r_{i+1}
0	0	0	**0**	**0**
0	0	1	**1**	**0**
0	1	0	**1**	**0**
0	1	1	**0**	**1**
1	0	0	**1**	**0**
1	0	1	**0**	**1**
1	1	0	**0**	**1**
1	1	1	**1**	**1**



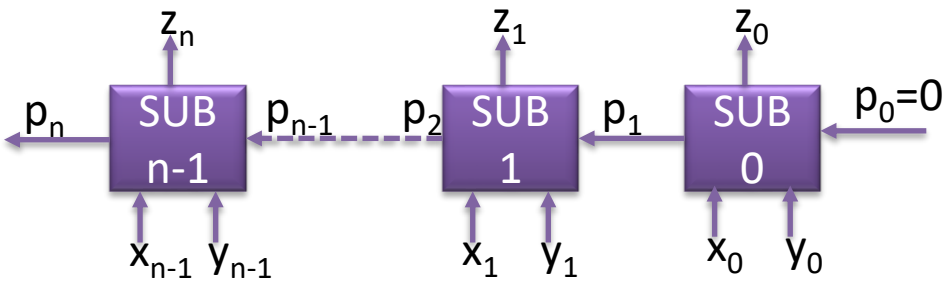


RETE COMBINATORIA

Sottrattore

- Il **sottrattore** è una rete combinatoria che permette la sottrazione tra due operandi (minuendo e sottraendo)
- Anche in questo caso è possibile fare riferimento ad una struttura modulare.
  All'i-esimo bit del minuendo (x_i) va sottratto sia il sottraendo (y_i) sia il bit di prestito (p_i) della posizione precedente per poi generare il bit risultante (z_i) ed il bit del prestito (p_{i+1}) per le cifre successive

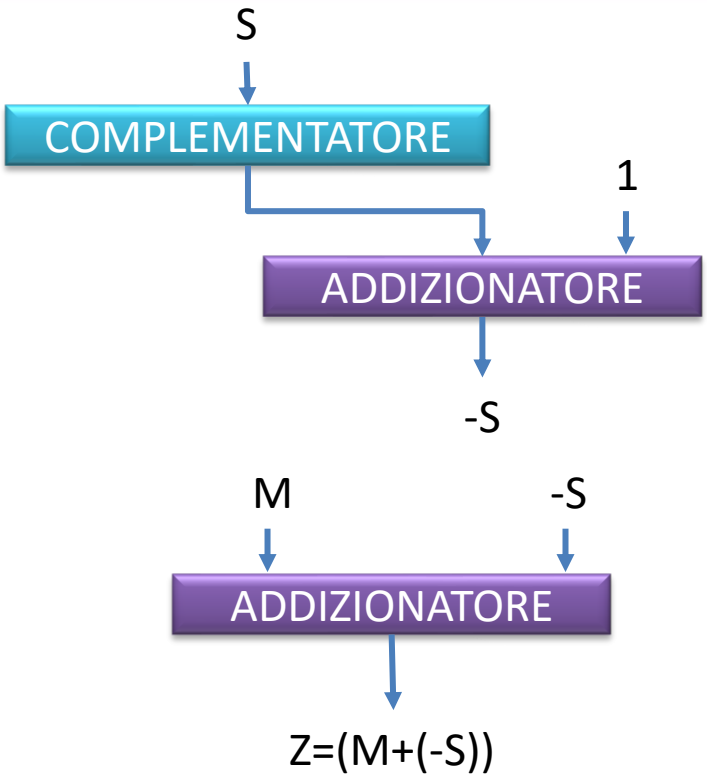
SOTTRATTORE				
x_i	y_i	p_i	z_i	p_{i+1}
0	0	0	**0**	**0**
0	0	1	**1**	**1**
0	1	0	**1**	**1**
0	1	1	**0**	**1**
1	0	0	**1**	**0**
1	0	1	**0**	**0**
1	1	0	**0**	**0**
1	1	1	**1**	**1**



RETE COMBINATORIA

Sottrattore: realizzazione pratica

- Nel concreto la realizzazione di un sottrattore può essere effettuato con una circuiteria differente da quella vista
- L'operazione di sottrazione z=m-s si riduce alla espressione equivalente z=(m+(-s))
- Si utilizza un complementatore ed un addizionatore che prende in input come addendi il numero complementato ed il valore 1
- L'operazione di sottrazione si ottiene aggiungendo il minuendo

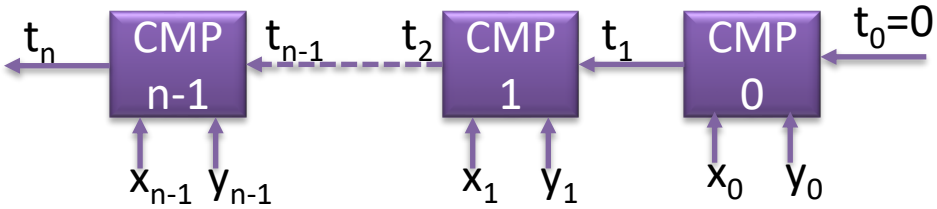


RETE COMBINATORIA

Comparatore

- Il **comparatore** è una rete combinatoria che ha una unica linea di uscita che vale 1 se il numero x, di *n* bit, applicato in ingresso risulta maggiore o uguale (in senso algebrico) al numero y, di *n* bit, anch'esso preso in ingresso, con cui si effettua il confronto
- Anche per tale componente è possibile fare riferimento ad una struttura modulare

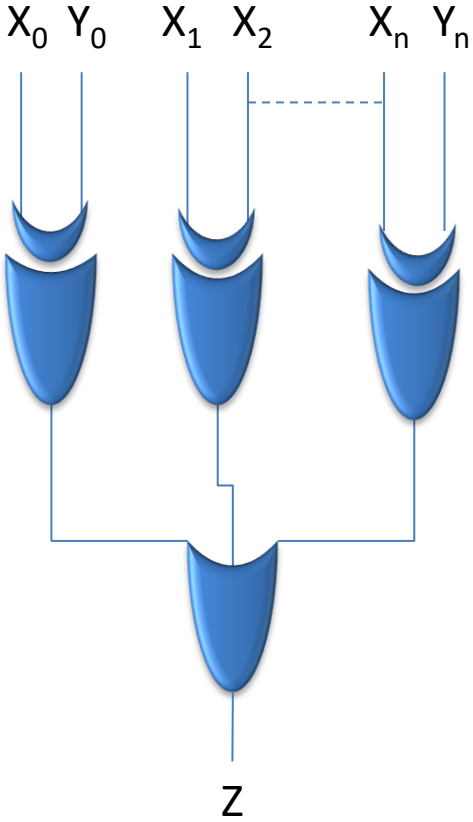
COMPARATORE			
x_i	y_i	t_i	t_{i+1}
0	0	0	**0**
0	0	1	**1**
0	1	0	**0**
0	1	1	**0**
1	0	0	**1**
1	0	1	**1**
1	1	0	**0**
1	1	1	**1**



RETE COMBINATORIA

Comparatore logico

- Altresì, invece, è possibile realizzare un **comparatore logico** utilizzando *n* porte XOR, a cui in ingresso sono associati gli i-esimi bit dei valori da comparare, le cui uscite sono collegate ad una porta OR
- In questo caso, infatti, è necessario stabilire solamente se le stringhe binarie sono uguali o diverse
- Un comparatore logico determina il risultato finale in tempo costante O(1)



Break

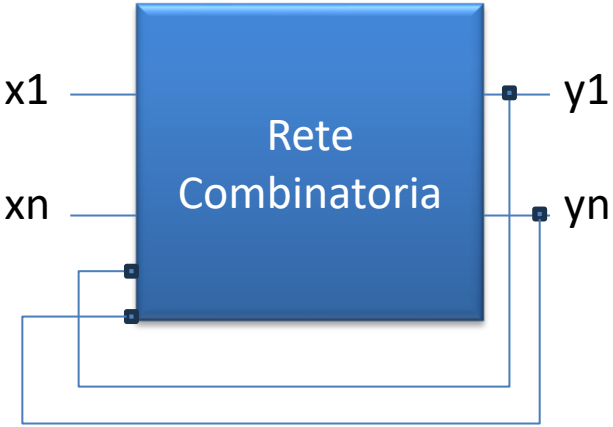
QUALE SARÀ, QUEST'ANNO, LA VOSTRA PIATTAFORMA ELETTORALE?
LA SOLITA, DUCA. NON MANCA MAI DI PROCURARMI VOTI.
HAMMER HAMMER HAMMER
11-2
ABBIAMO UNA PROTESTA DA PRESENTARE AL RE!
ASPETTATE, NON HA ANCORA FINITO COL PRIMO GRUPPO.
5-17
PRENDETE QUESTI UOMINI E IMPICCATELI!
BENE! E VOI CHE COSA VOLETE?
I BIGLIETTI PER ASSISTERE ALL'IMPICCAGIONE.

Rete Sequenziale

RETE SEQUENZIALE

Definizione

- Le **reti sequenziali** sono circuiti di porte logiche le cui uscite dipendono non solo dagli ingressi ma anche dal tempo
- In particolare, le uscite all'istante di tempo t dipendono:
  - Dal valore degli ingressi all'istante t*
  - Dal valore delle uscite stesse agli istanti precedenti, cioè al tempo t<t*
- Le uscite dipendono dunque dagli ingressi e dalle uscite stesse
- Ciò viene ottenuto aggiungendo ad un rete combinatoria un meccanismo di controreazione (*feedback*) cioè un meccanismo che permette di memorizzare informazioni e determinare lo stato futuro del circuito in base agli ingressi attuali e allo stato precedente (es.: flip-flop)



RETE SEQUENZIALE

RETE SEQUENZIALE

Tabella di verità

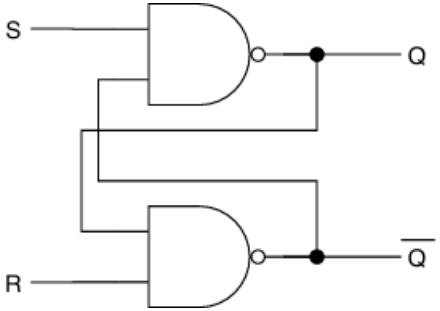
- Le tabelle di verità dei circuiti sequenziali includono dunque:
  - I valori degli ingressi: x_i
  - I valori delle uscite all'istante precedente: $y_i(t-1)$
  - I nuovi valori delle uscite all'istante attuale: $y_i(t)$

x_1	...	x_n	$y_1(t-1)$	...	$y_m(t-1)$	$y_1(t)$	...	$y_m(t)$
0	...	0	0	...	0	0	...	1
0	...	0	0	...	1	0	...	1
1	...	0	0	...	1	1	...	0
1	...	0	1	...	0	1	...	0

RETE SEQUENZIALE

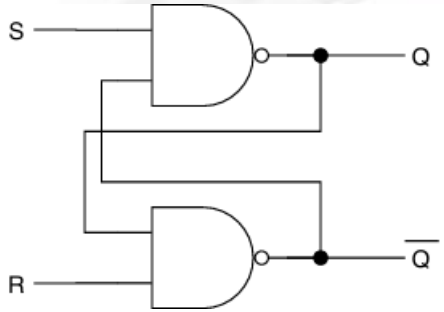
FLIP FLOP RS

- Il **Flip-Flop Set-Reset** è un tipico circuito sequenziale, ed è il componente principale da cui vengono derivati tutti i circuiti sequenziali usati in un elaboratore
  - Il nome “flip-flop” indica che si tratta di un circuito in grado di commutare tra due stati: flip e flop
  - L’aggiunta “set-reset” indica i nomi dei due ingressi che permettono appunto di effettuare l’operazione di *set* e di *reset*

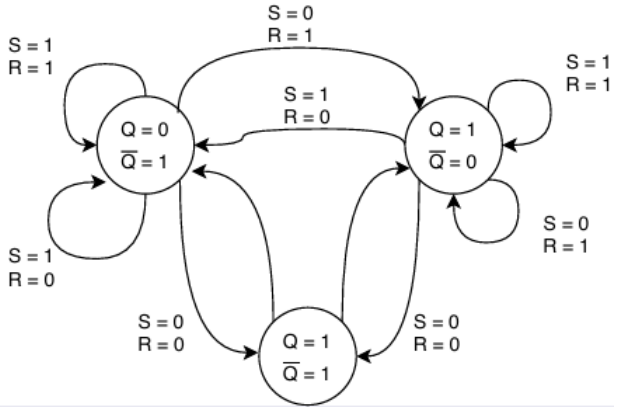


RETE SEQUENZIALE

FLIP FLOP RS



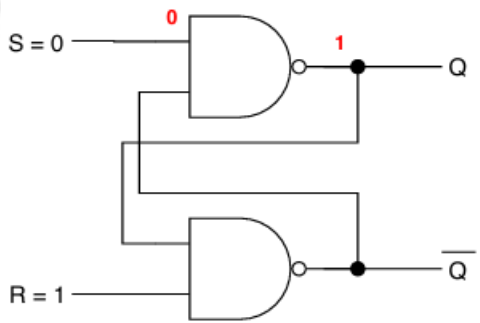
S	R	Q(t)	$\overline{Q}$ (t)	Significato
0	1	1	0	Stato set
1	0	0	1	Stato reset
1	1	Q(t-1)	$\overline{Q}$(t-1)	Stato mantenuto grazie al feedback
0	0	1	1	Stato indeterminalbile

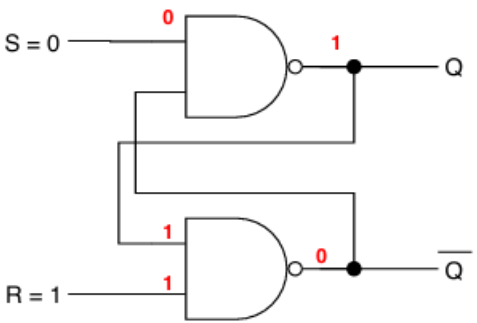


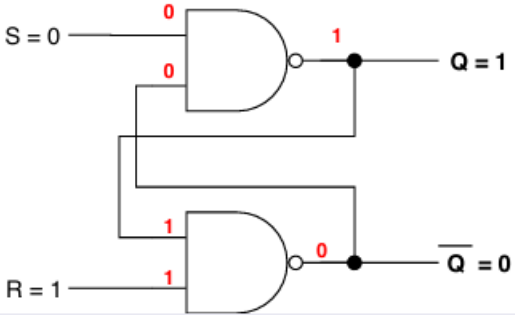
RETE SEQUENZIALE

FLIP FLOP RS

Caso
Input S=1 R=1
Output=
  Q=1
~Q=0



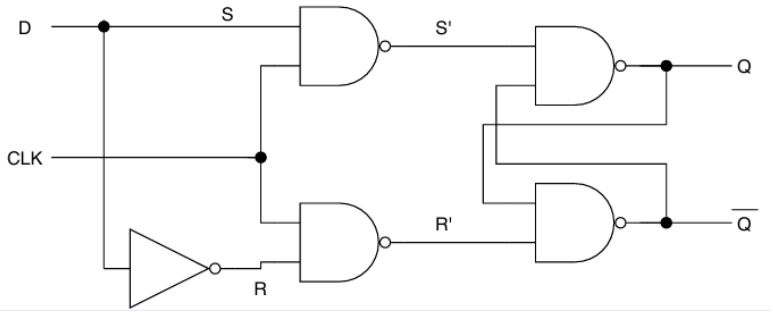




RETE SEQUENZIALE

FLIP FLOP D

- Il **Flip-Flop D** (Delay) è un circuito sequenziale che ritarda l'uscita di un segnale in accordo ad un colpo di clock

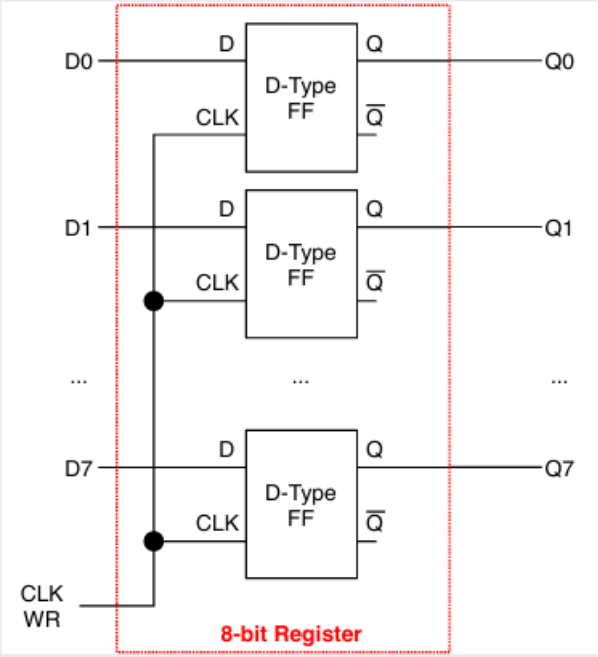


D	Clock	Q(t)	Significato
X	0	Q(t-1)	In uscita si mantiene il valore
0	1	0	In uscita si copia l'ingresso di D
1	1		In uscita si copia l'ingresso di D

RETE SEQUENZIALE

Registro

- Collegando insieme n flip-flop D-type si ottiene un elemento di memoria a n bit denominato **registro** (a n bit)
- I clock sono collegati tutti insieme in modo da avere un unico segnale per la "scrittura" (*write*) del dato in ingresso



D*n*	Clock (WR)	Q(t)	Significato
X	0	Q(t-1)	In uscita si mantiene il valore
X	1	D*n*	In uscita si copia l'ingresso di D*n*

RETE SEQUENZIALE

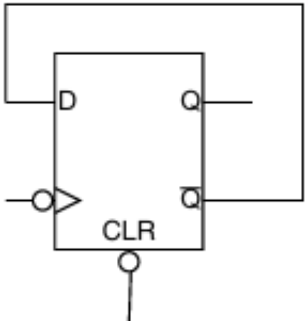
Circuiti complessi

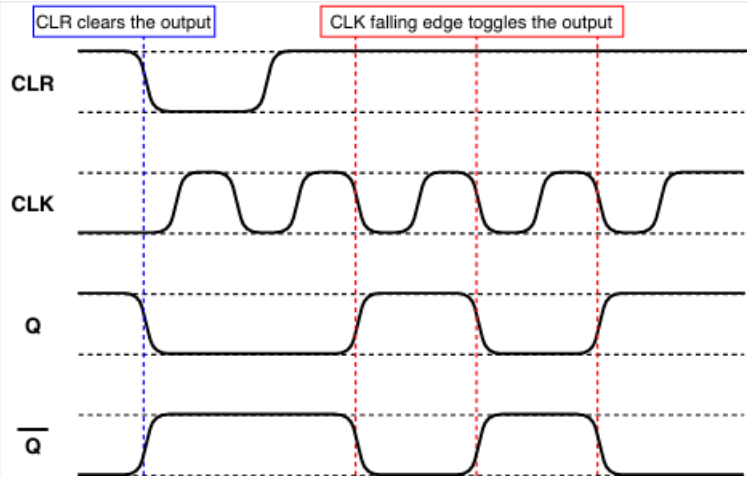
- Contatore
- Shift register
- Macchine di Moore
- Macchine di Mealy

RETE SEQUENZIALE

Contatore

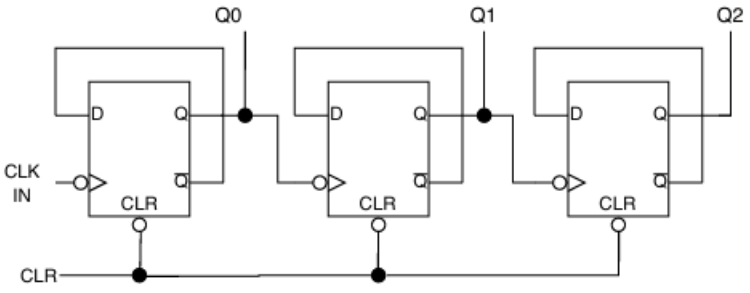
- Un contatore è un registro il cui contenuto numerico si incrementa di una unità che ad ogni colpo di clock
- Se, in un flip flop D, si collega l'ingresso D all'uscita Q si ottiene un flip-flop denominato **T-type (toggle)**
- Ad ogni "colpo di clock", l'uscita Q è "copiata" su Q: si ottiene, cioè, che ad ogni colpo di clock Q(t) = ~Q(t-1)
- In altri termini, ad ogni colpo di clock l'uscita Q cambia stato (*toggle*): ovvero da 0 a 1 e da 1 a 0

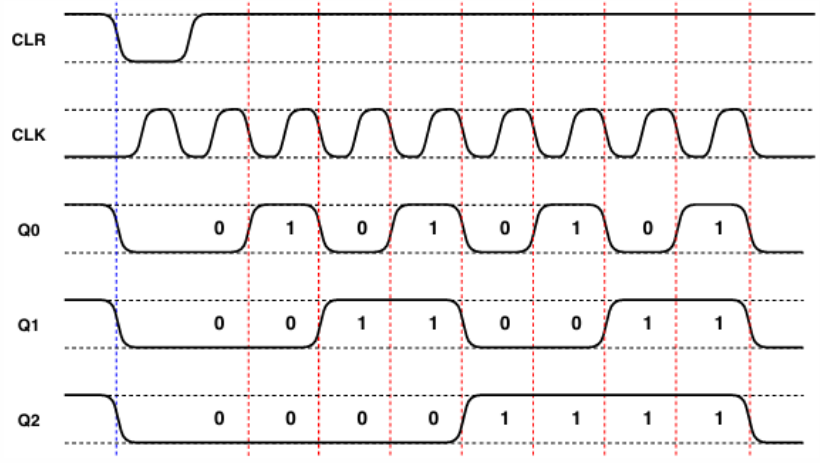




RETE SEQUENZIALE

Contatore





Q2	*Q1*	*Q0*	*Base* 10
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

Fine